

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-041513
 (43)Date of publication of application : 13.02.1998

(51)Int. Cl. H01L 29/786
 H01L 21/336
 C23F 4/00
 H01L 21/268

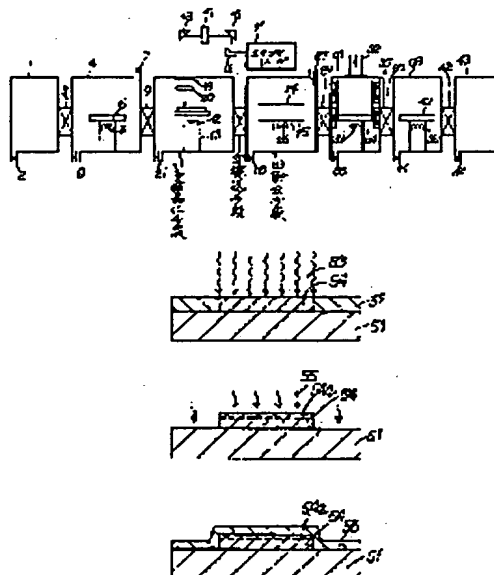
(21)Application number : 08-194598 (71)Applicant : TOSHIBA ELECTRON ENG CORP
 TOSHIBA CORP
 (22)Date of filing : 24.07.1996 (72)Inventor : NISHIBE TORU
 HINO TAKASHI

(54) METHOD AND DEVICE FOR MANUFACTURE OF SEMICONDUCTOR ELEMENT

(57)Abstract:

PROBLEM TO BE SOLVED: To form a semiconductor element, having stabilized characteristics, which can be manufactured by a simplified process by a method in which amorphous silicon is selectively polycrystallized and unnecessary amorphous silicon is removed by hydrygen plasma.

SOLUTION: A light transmitting insulated substrate 5 is carried into an airlock chamber 1, an a-Si:H film 52 is coated in a plasma CVD chamber 4, annealed in an ELA chamber 11, the beam 53 sent from an eximer laser device 14 is made to fall on the a-Si:H film 52 through a mask module 17, and a polycrystalline silicon film 54 is formed. When the RF power between an anode 24 and a cathode 25 is treated at 500W in a hydrogen plasma treatment chamber 23 at the substrate temperature of 280°C and hydrogen pressure of 100Pa, a polycrystalline silicon film 54 only is left, and the defect 54a on the top surface of a channel layer is reduced by hydrogen plasma 55. Accordingly, when a gate insulating film 56 is coated in an ECR-CVD chamber 31, the control of the interface between the polycrystalline silicon film 54 and the gate insulating film 56 can be stabilized, the characteristics such as a threshold value, etc., are matched, and the process can be simplified.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision]

of rejection]

[Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998, 2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-41513

(43) 公開日 平成10年(1998) 2月13日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/786

21/336

C 2 3 F 4/00

H 0 1 L 21/268

H 0 1 L 29/78

C 2 3 F 4/00

H 0 1 L 21/268

29/78

6 2 7 G

E

Z

6 2 7 B

6 2 7 E

審査請求 未請求 請求項の数3 O L (全 5 頁)

(21) 出願番号

特願平8-194598

(22) 出願日

平成8年(1996) 7月24日

(71) 出願人 000221339

東芝電子エンジニアリング株式会社

神奈川県川崎市川崎区日進町7番地1

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 西部 徹

神奈川県横浜市磯子区新杉田町8 株式会

社東芝横浜事業所内

(72) 発明者 日野 隆

神奈川県川崎市川崎区日進町7番地1 東

芝電子エンジニアリング株式会社内

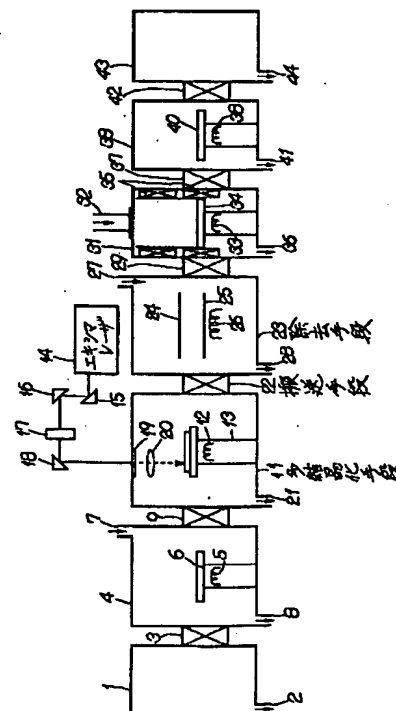
(74) 代理人 弁理士 樺澤 襄 (外2名)

(54) 【発明の名称】 半導体素子の製造方法およびその装置

(57) 【要約】

【課題】 特性が安定するとともに、工程を簡略化した半導体素子の製造装置を提供する。

【解決手段】 E L Aチャンバ11内で450℃で1時間炉アニールした後、エキシマレーザ装置14からのX e C 1エキシマレーザを照射し、マスクモジュール17のパターンに対応した形状になったビームをa - S i : H膜に照射する。X - Yステージ13の移動によりエキシマレーザの照射された領域のみ多結晶化して多結晶シリコン膜54を形成する。多結晶化していないa - S i : H膜は水素プラズマによりエッチングして除去し、多結晶化された多結晶シリコン膜54のみが残り、水素プラズマ55によりチャンネル層の最表面の欠陥が低減する。しきい値などの特性が揃い歩留まりが向上し、工程を簡略化できるのでコストを大幅に低下できる。



【特許請求の範囲】

【請求項1】 アモルファスシリコンを選択的に多結晶化する工程と、

アモルファスシリコンを選択的に多結晶化した後に不要なアモルファスシリコンを水素プラズマ処理で除去する工程とを具備したことを特徴とする半導体素子の製造方法。

【請求項2】 アモルファスシリコンを選択的に多結晶化する多結晶化手段と、

アモルファスシリコンを選択的に多結晶化した後に不要なアモルファスシリコンを水素プラズマ処理で除去する除去手段とを具備したことを特徴とする半導体素子の製造装置。

【請求項3】 多結晶化手段から除去手段に搬送する搬送手段とを具備したことを特徴とする請求項2記載の半導体素子の製造装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、歩留まりを向上する半導体素子の製造方法およびその装置に関する。

【0002】

【従来の技術】まず、半導体素子として、石英基板上に形成した多結晶の薄膜トランジスタ (Thin Film Transistor) について説明する。

【0003】従来、ポリシリコンの薄膜トランジスタの製造に際しては、シリコンで半導体層を形成しチャネル領域の電流の注入、取り出しを行なうソース・ドレイン領域の部分をエッチングして残し、ゲート酸化膜、ゲート電極および電気絶縁層を順次成膜形成する。そして、コンタクトホールを開口して電極を形成し、デバイスが完成した後に水素プラズマ処理を行い、水素を拡散しチャネルの欠陥を埋めている。

【0004】また、多結晶シリコンの代表的な作製方法としては、たとえば600℃前後の温度で長時間熱処理して微小な核から多結晶を成長させる方法や、エキシマレーザで最表面を瞬時に溶かして再結晶化させることにより多結晶化するエキシマレーザアニール法がある。

【0005】そして、このような従来の方法で多結晶化すると、チャネル層をPEP工程で島抜きエッチングしたあとに、ゲート酸化膜を形成するために、薄膜トランジスタの特性を左右するチャネル層およびゲート酸化膜の界面に欠陥や不純物が混入し、薄膜トランジスタのしきい値がばらついたりして特性が向上しない。

【0006】また、水素プラズマ処理により欠陥を低減した後に、400℃以上で高温プロセスすると水素が脱離してしまうために、プロセス温度の制限を受け、通常はデバイスが完成した後に水素プラズマ処理しているが、水素の拡散時間が長くなり、所定の水素量をチャネル層に導入するために必要な時間が長くなる。

【0007】

【発明が解決しようとする課題】上述のように、従来の方法では多結晶シリコンを用いた薄膜トランジスタでは界面準位の制御性が悪く、しきい値がばらついたり、特性向上をさせるために完成後に水素プラズマ処理すると、プラズマ処理の時間が長くなるため量産性に問題を有している。

【0008】本発明は、上記問題点に鑑みなされたもので、特性が安定するとともに、工程を簡略化した半導体素子の製造方法およびその装置を提供することを目的とする。

【0009】

【課題を解決するための手段】本発明は、アモルファスシリコンを選択的に多結晶化し、アモルファスシリコンを選択的に多結晶化した後に不要なアモルファスシリコンを水素プラズマ処理で除去するもので、アモルファスシリコンの水素プラズマによるエッチング速度は、多結晶シリコンのエッチング速度に比べて極めて速いため、アモルファスシリコンを選択的に多結晶化した後、水素プラズマ処理で不要なアモルファスシリコンを除去して多結晶化したシリコンを残すとともに、多結晶化した表面のクリーニングおよび欠陥を低減させる。

【0010】

【発明の実施の形態】以下、本発明の半導体素子の製造装置の一実施の形態を図面を参照して説明する。

【0011】図1において、1は基板の搬入時に外気との間で遮断を行なうエアロックチャンバで、このエアロックチャンバ1は内部の雰囲気気を排気する真空排気系2が設けられ、このエアロックチャンバ1は搬送手段としての搬送装置3を介してアモルファスシリコンを成膜するプラズマCVD（化学気相成長）チャンバ4に接続されている。そして、このプラズマCVDチャンバ4は、基板温度制御用ヒータ5を有するテーブル6が装着され、気相ガスを導入するガス導入口7および真空設定用の真空排気系8が設けられ、搬送手段としての搬送装置9を介して多結晶化手段としてのELAチャンバ11に接続されている。

【0012】また、このELAチャンバ11には、基板温度制御用ヒータ12を有するX-Yステージ13が配設されている。さらに、エキシマレーザを発振するエキシマレーザ装置14が外部に配設され、このエキシマレーザ装置14から照射されたレーザは、ミラー15、16、マスクモジュール17、ミラー18、ELAチャンバ11に設けられた窓19およびレンズ系20を介してX-Yステージ13上で焦点を結び、所定形状にアモルファスシリコンを多結晶化して多結晶シリコンを形成する。なお、X-Yステージ13による移動により、エキシマレーザからのパターン光が小さくても全面をエキシマレーザアニールできる。また、このELAチャンバ11は、搬送手段としての搬送装置22を介して除去手段としての水素プラズマ処理チャンバ23に接続されている。

3

【0013】そして、この水素プラズマ処理チャンバ23は、内部に平行平板型のアノード24およびカソード25と基板温度制御用ヒータ26とが配設されるとともに、水素を導入する水素導入口27および真空形成用の真空排気系28が形成され、アモルファスシリコンを除去して所定形状の多結晶シリコンをエッチングするとともに、多結晶シリコンの最表面を水素プラズマでクリーニングするとともに、欠陥を低減させる。また、この水素プラズマ処理チャンバ23は、搬送手段としての搬送装置29を介してECR-CVDチャンバ31に接続されている。このECR-CVDチャンバ31は、マイクロ波を導入するマイクロ波導入口32を有し、このマイクロ波導入口32に対向して基板温度制御用ヒータ33を有するテーブル34が設けられ、これらマイクロ波導入口32およびテーブル34間にはコイル35が配設されており、さらに、真空形成用の真空排気系36も配設され、100℃以下の低温でたとえば酸化シリコン膜のゲート酸化膜を成膜する。そして、搬送手段としての搬送装置37を介して、メタルスパッタチャンバ38に接続され、このメタルスパッタチャンバ38は基板温度制御用ヒータ39を有するテーブル40が内部に配設されるとともに、真空形成用の真空排気系42を有しており、ゲート電極などになるゲートメタルを形成する。さらに、このメタルスパッタチャンバ38は、搬送手段としての搬送装置42を介して、基板の搬出時に外気との間で遮断を行なうエアロックチャンバ43が設けられ、このエアロックチャンバ43には真空形成用の真空排気系42が設けられている。

【0014】また、エアロックチャンバ1、プラズマCVDチャンバ4、ELAチャンバ11、水素プラズマ処理チャンバ23、ECR-CVDチャンバ31、メタルスパッタチャンバ38およびエアロックチャンバ43は、一方向に流れる直線上に位置し、それぞれ独立して機能するとともに図示しないゲートバルブを有しており、大気に晒すことなく、プロセスを連続的に行なえる。

【0015】次に、この装置を用いて半導体素子としての薄膜トランジスタの製造工程を図2を参照して説明する。

【0016】まず、ガラス基板あるいは石英基板などの透光性絶縁基板51をエアロックチャンバ1内に搬入し、図2(a)に示すように、搬送装置3によりプラズマCVDチャンバ4に搬送する。そして、CVD法によりパツファ層となる図示しないSiO_x膜を透光性絶縁基板51上に100nm程度被着し、さらに、同様にCVD法によりa-Si:H(水素化アモルファスシリコン)膜52を50nm程度被着する。

【0017】次に、搬送装置9によりELAチャンバ11に搬送し、図2(b)に示すように、ELAチャンバ11内で450℃で1時間炉アニールした後、マスクモジュール17を通して均一にビームを広げたエキシマレーザ装置14からのXeClエキシマレーザを照射し、マスクモ

4

ジュール17のパターンに対応した形状になったビーム53をa-Si:H膜52に照射する。なお、X-Yステージ13の移動によりエキシマレーザの照射された領域のみ、エキシマレーザアニールと同じ原理で多結晶化され、多結晶シリコン膜54が形成される。

【0018】この後、搬送装置22により水素プラズマ処理チャンバ23に搬送し、図2(c)に示すように、基板温度を280℃、水素導入口27から水素を導入して水素圧力を100Pa、アノード24およびカソード25間のRF(高周波)パワーを500Wで約10分の処理する。そして、多結晶化されていないa-Si:H膜52は水素プラズマによりエッチングされ多結晶化された多結晶シリコン膜54のみが残り、水素プラズマ55により、チャネル層の最表面の欠陥54aが低減する。

【0019】次に、搬送装置29によりECR-CVDチャンバ31に搬送し、図2(d)に示すように、ECR-CVD法によりSiO_x膜のゲート絶縁膜56を100nm被着し、さらに、搬送装置37によりメタルスパッタチャンバ38に搬送し、たとえばMoTa(モリブデン・タンタル)を400nm被着する。多結晶シリコン膜54の欠陥54aが低減しているため、チャネル層である多結晶シリコン膜54とゲート絶縁膜56との界面の制御を安定できる。

【0020】また、図2(e)に示すように、ゲート絶縁膜56上にゲート電極57をたとえばCDE法などによりエッチングしてパターンニングする。さらに、イオン注入やイオンドーピング法によりP(燐)を高濃度注入する。このときのドーズ量はイオンドーピング法の場合、たとえば加速電圧を約80keV、ドーズ量を約5×10¹⁵atoms/cm²とする。このようにして、ソース・ドレインのチャネルの高濃度不純物注入領域を形成する。さらに、PECVD法により層間絶縁膜58を400nm程度被着する。さらに、フォトリソグラフィによりコンタクトホール59を開口し、ソース・ドレイン電極としてのたとえばAl膜をスパッタリング法により成膜し、フォトリソグラフィなどによりソース・ドレイン電極60をパターンニングして、nチャネルコプラナ型の薄膜トランジスタ61が完成する。

【0021】上記実施の形態において、a-Si:H膜52および多結晶シリコン膜54の水素プラズマによるエッチングは、シリコンと水素ラジカルとの反応によって、SiH_x化合物を形成し、脱離することによりなされる。また、エッチング速度は、水素圧力が100Pa、RFパワーが500W、基板温度が280℃の場合には、図3に示すように、a-Si:H膜52の方が多結晶シリコン膜54より約50倍速い。この理由としては、Si-H結合の多いアモルファスシリコンのa-Si膜52の方が、Si-Siの強固な結合をもつ多結晶シリコン膜54より水素ラジカルとの反応がしやすいためと推定される。

5

【0022】次に、他の実施の形態について図4を参照して説明する。

【0023】この図4に示す構成は、搬送手段としてのロボットアーム71の周囲に放射状にプラズマCVDチャンバ72、73、ELAチャンバ74、75およびメタルスパッタチャンバ76、77を配設したものである。

【0024】そして、ロボットアーム71を回転して、基板を所定の順に処理する。

【0025】また、これらプラズマCVDチャンバ72、73、ELAチャンバ74、75およびメタルスパッタチャンバ76、77は、ガスの種類や流量の条件を変えることにより、任意に順番を変更できるのでそれぞれのチャンバを多目的に使用することも可能であるとともに、一つのチャンバが故障したりメンテナンス時の予備のプラズマCVDチャンバ73、ELAチャンバ75およびメタルスパッタチャンバ77チャンバも兼ね備えている。

【0026】上記実施の形態によれば、しきい値などの特性の揃った、しかもリーク電流の小さな薄膜トランジスタ61などの半導体素子を形成することができ、しかも工程を大幅に削減でき、コスト低下、スループット向上につながる。

【0027】

【発明の効果】本発明によれば、アモルファスシリコン

6

を選択的に多結晶化し、アモルファスシリコンを選択的に多結晶化した後に不要なアモルファスシリコンを水素プラズマ処理で除去するので、アモルファスシリコンを選択的に多結晶化した後、水素プラズマ処理で不要なアモルファスシリコンを除去して多結晶化したシリコンを残すとともに、多結晶化した表面のクリーニングおよび欠陥の低減が可能になり、しきい値などの特性が揃い歩留まりが向上し、工程を簡略化できるのでコストを大幅に低下できる。

10 【図面の簡単な説明】

【図1】本発明の半導体素子の製造装置の一実施の形態を示す説明図である。

【図2】同上装置により薄膜トランジスタを形成する工程を示す断面図である。

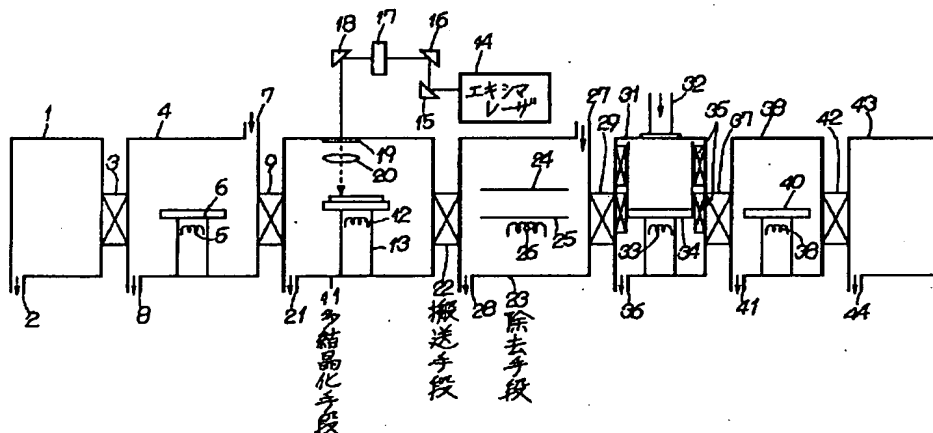
【図3】同上アモルファスシリコンおよび多結晶シリコンのエッチングと時間の関係を示すグラフである。

【図4】同上他の実施の形態の半導体素子の製造装置を示す説明図である。

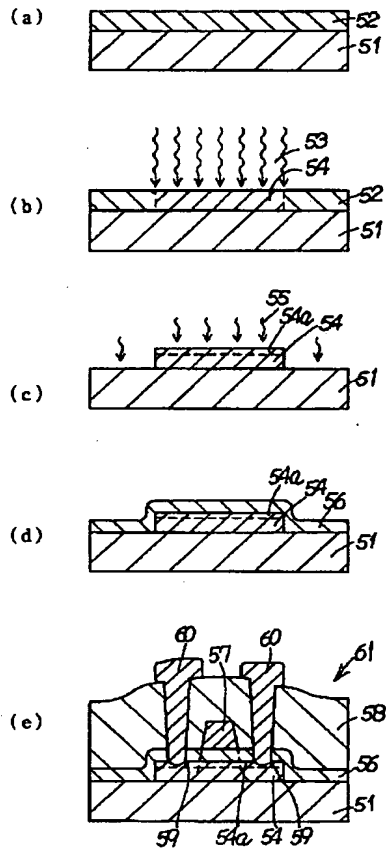
【符号の説明】

- | | | |
|----|----|--------------------|
| 20 | 11 | 多結晶化手段としてのELAチャンバ |
| | 22 | 搬送手段としての搬送装置 |
| | 23 | 除去手段としてのプラズマ処理チャンバ |

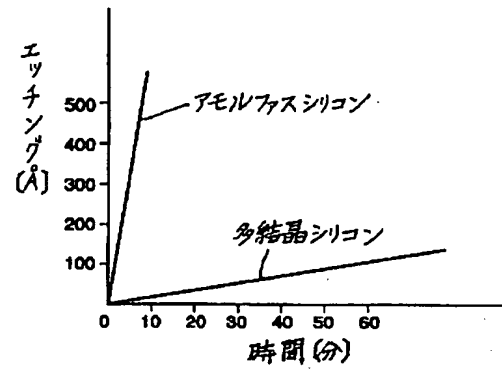
【図1】



【図2】



【図3】



【図4】

